

(12) ~~公開~~ 特許公報 (A)

(P2000-4211A)

(51)Int.Cl. <sup>7</sup>	識別記号	F I <sup>7</sup>	テーマコード(参考)
H 0 4 J 13/00		H 0 4 J 13/00	5 K 0 2 2
H 0 4 B 7/08		H 0 4 B 7/08	D 5 K 0 5 9
7/26		7/26	N 5 K 0 6 7

5K067 AA02 CC10 CC24 EE72

Figure 1 is a block diagram of a RAKE receiver system. The system includes an antenna (1) connected to a switch (2). The switch (2) routes the received signal to an OSSP (Orthogonal Signal Splitting) block. The output of the OSSP block is distributed to multiple parallel processing paths. Each path consists of a delay element (100, 101, 102, 103, 104, 105) and a correlator (01, 02, 03, 04, 05). The outputs of these correlators are summed at a summing junction (11). The summed signal is then processed by a RAKE combiner (4) to produce the final output (12). A feedback loop (13) connects the output back to the OSSP block. A control signal (14) is also shown.

RECEIVED  
JAN 14 2002  
Technology Center 2600

## 【特許請求の範囲】

【請求項 1】 複数のマルチパス成分を有する DS-CDMA 方式の受信信号を入力し遅延プロファイルを出力するサーチフィンガと、

前記遅延プロファイルのピークタイミングを検出することにより前記複数のマルチパス成分の各々の遅延時間を検出する遅延時間検出手段と、

拡散符号を生成する拡散符号生成手段と、

前記拡散符号を前記遅延時間だけ遅延させる複数の遅延回路と、

前記遅延回路により遅延された前記拡散符号により前記受信信号の前記複数のマルチパス成分の各々を復調する複数のフィンガ受信回路と、

前記複数のフィンガ受信回路の出力を遅延時間を調整して最大比合成して復調信号を出力する RAKE 合成器と、を備える RAKE 受信回路において、

前記複数のフィンガ受信回路の各々が、前記遅延回路により遅延された前記拡散符号を互いに異なった時間だけずらせた拡散符号により前記受信信号を復調する複数の逆拡散回路と、該複数の逆拡散回路の出力のうち受信品質の良い出力を選択する選択器とを備えることを特徴とする RAKE 受信回路。

【請求項 2】 前記複数のフィンガ受信回路の各々が、前記遅延回路により遅延された前記符号を互いに異なった時間だけずらせるための複数の遅延回路を備えることを特徴とする請求項 1 に記載の RAKE 受信回路。

【請求項 3】 前記複数の逆拡散回路が使用する拡散符号の時間は、

チップ時間／整数

ずつずれていることを特徴とする請求項 1 又は 2 に記載の RAKE 受信回路。

【請求項 4】 前記拡散符号生成手段は、同一のフィンガ受信回路の前記逆拡散回路の一部が遅延時間検出手段が出力する該フィンガ受信回路に対応する遅延時間よりも少ない遅延時間の拡散符号により前記受信信号を復調するように、早めた位相で前記拡散符号を出力することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の RAKE 受信回路。

【請求項 5】 前記複数の遅延回路の各々は、対応する同一のフィンガ受信回路の前記逆拡散回路の一部が遅延時間検出手段が出力する該フィンガ受信回路に対応する遅延時間よりも少ない遅延時間の拡散符号により前記受信信号を復調するように、前記拡散符号生成手段が生成する拡散符号を前記遅延時間検出手段が検出する遅延時間よりも短い時間だけ遅延させることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の RAKE 受信回路。

【請求項 6】 前記複数の逆拡散器の各々は、複素乗算器と相関器を備え、該複素乗算器と該相関器はハードウェアにより構成されることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の RAKE 受信回路。

【請求項 7】 前記遅延時間検出手段は、DSP により構成されることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の RAKE 受信回路。

【請求項 8】 前記遅延時間検出手段は、CPU により構成されることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の RAKE 受信回路。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の RAKE 受信回路と、アンテナと、RF 復調器とを備えることを特徴とする受信機。

10 【請求項 10】 請求項 1 乃至 8 のいずれか 1 項に記載の RAKE 受信回路と、アンテナと、RF 復調器とを備えることを特徴とする基地局。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DS-CDMA (Direct Sequence Code Division Multiple Access) 方式で用いられる RAKE 受信回路、及びそれを用いた受信機と基地局に関する。

【0002】

20 【従来の技術】次世代移动通信方式の 1 つの有力候補として DS-CDMA 方式が挙げられる。DS-CDMA 方式では複数のユーザ毎に異なる拡散符号を用いて各々のユーザの情報データを拡散して送信することにより、複数のユーザが同じ周波数帯域で同時に通信することが可能となる。

【0003】ところで、移動体通信ではマルチパスフェージングが問題となる。マルチパスが発生すると各パスの希望信号は異なった時刻にそれぞれの時刻に対応する強度を持って到来する。各時刻に到来する希望波がマルチパス成分である。

【0004】RAKE 受信回路は、マルチパスフェージングが発生した場合のマルチパス成分をそれぞれ復調して合成するものである。

【0005】図 4 は、従来の RAKE 受信回路を含む受信機の構成ブロック図である。

30 【0006】図 4 において、901a~901c はフィンガ受信回路、1 はサーチフィンガ、903 はサーチエンジン、4 は RAKE 合成器である。また、受信信号はアンテナ 906 より受信され RF 復調器 907 により復調されたものである。

40 【0007】サーチフィンガ 1 の出力は図 3 に示す遅延プロファイルをもつ信号であり、サーチエンジン 903 はこの信号を基に各マルチパス成分の遅延時間を検出し、この遅延時間を表す信号をフィンガ受信回路 901a~901c に出力する。フィンガ受信回路 901a~901c は遅延時間を表す信号を基に受信信号を逆拡散するための拡散符号の位相を調整して、各々のマルチパス成分をこの拡散符号による逆拡散により復調して希望波を得る。RAKE 合成器 4 は、フィンガ受信回路 901a~901c の出力する希望波を時間調整をして最大

比合成して復調信号を得る。

【0008】なおサーチフィンガ1が出力する遅延プロファイルは、相関計算をすることにより求まるので、時々刻々と変化するマルチパス成分を必ずしも完全に追従できているものではない。

【0009】サーチエンジン903が各マルチパス成分の遅延時間を検出して、この遅延時間に基づいてフィンガ受信回路901a~901cが拡散符号の位相を調整することを「同期をとる」というが、同期は、同期捕捉（アクイジション）と同期保持（トラッキング）との2段階に分けられる。

【0010】同期捕捉とは、拡散符号の同期が外れた状態から拡散符号の同期点を探し出すことをいい、同期保持とは、同期捕捉がなされた後に、拡散符号の位相誤差を1チップ長よりも十分に短い時間に保持することをいう。

【0011】同期捕捉はサーチエンジン903で行われ、同期保持はフィンガ受信回路901a~901cで行われる。

【0012】同期保持のための同期保持ループの代表的な例として、DLL(Delay Locked Loop)がある。DLLを用いて、{(受信しているタイミング) - T}における相関電力と{(受信しているタイミング) + T}における相関電力の差が0になるように拡散符号の位相の微調整を行うことができる。

【0013】

【発明が解決しようとする課題】しかしながら、従来の同期方式では、同期捕捉用の回路と、例えばDLLのような同期保持回路が必要であり、回路規模が大きくなるという問題点があった。

【0014】また、従来の同期方式では、マルチパスフェージングの急速な変化に完全に追従することは難しかった。

【0015】本発明は、マルチパスフェージングが急速に変化しても良好に希望波を復調することができるRAKE受信回路及びCDMA受信機とCDMA基地局を提供することを目的とする。

【0016】また、本発明は、従来のDLLに比べて少ない演算数で同期保持することが出来るRAKE受信回路及びCDMA受信機とCDMA基地局を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明によるRAKE受信回路は、複数のマルチパス成分を有するDS-SS方式の受信信号を入力し遅延プロファイルを出力するサーチフィンガと、前記遅延プロファイルのピークタイミングを検出することにより前記複数のマルチパス成分の各々の遅延時間を検出する遅延時間検出手段と、拡散符号を生成する拡散符号生成手段と、前記拡散符号を前記遅延時間だけ遅延させる複数の遅延回路と、前記遅延

回路により遅延された前記拡散符号により前記受信信号の前記複数のマルチパス成分の各々を復調する複数のフィンガ受信回路と、前記複数のフィンガ受信回路の出力を遅延時間を調整して最大比合成して復調信号を出力するRAKE合成器と、を備えるRAKE受信回路において、前記複数のフィンガ受信回路の各々が、前記遅延回路により遅延された前記拡散符号を互いに異なった時間だけずらせた拡散符号により前記受信信号を復調する複数の逆拡散回路と、該複数の逆拡散回路の出力のうち受信品質の良い出力を選択する選択器とを備えることを特徴とする。

【0018】また、本発明によるRAKE受信回路は、上記のRAKE受信回路において、前記複数のフィンガ受信回路の各々が、前記遅延回路により遅延された前記符号を互いに異なった時間だけずらせるための複数の遅延回路を備えることを特徴とする。

【0019】また、本発明によるRAKE受信回路は、上記のRAKE受信回路において、前記複数の逆拡散回路が使用する拡散符号の時間が、

20 チップ時間/整数

ずつずれていることを特徴とする。

【0020】更に、本発明によるRAKE受信回路は、上記のRAKE受信回路において、前記拡散符号生成手段が、同一のフィンガ受信回路の前記逆拡散回路の一部が遅延時間検出手段が出力する該フィンガ受信回路に対応する遅延時間よりも少ない遅延時間の拡散符号により前記受信信号を復調するように、早めた位相で前記拡散符号を出力することを特徴とする。

30 【0021】更に、本発明によるRAKE受信回路は、上記のRAKE受信回路において、前記複数の遅延回路の各々が、対応する同一のフィンガ受信回路の前記逆拡散回路の一部が遅延時間検出手段が出力する該フィンガ受信回路に対応する遅延時間よりも少ない遅延時間の拡散符号により前記受信信号を復調するように、前記拡散符号生成手段が生成する拡散符号を前記遅延時間検出手段が検出する遅延時間よりも短い時間だけ遅延させることを特徴とする。

【0022】更に、本発明によるRAKE受信回路は、上記のRAKE受信回路において、前記複数の逆拡散器の各々は、複素乗算器と相関器を備え、該複素乗算器と該相関器はハードウェアにより構成されることを特徴とする。

【0023】更に、本発明によるRAKE受信回路は、上記のRAKE受信回路において、前記遅延時間検出手段は、DSPにより構成されることを特徴とする。

【0024】更に、本発明によるRAKE受信回路は、上記のRAKE受信回路において、前記遅延時間検出手段は、CPUにより構成されることを特徴とする。

50 【0025】本発明による受信回路は、上記のRAKE受信回路と、アンテナと、RF復調器とを備えることを

特徴とする。

【0026】本発明による基地局は、上記の RAKE 受信回路と、アンテナと、RF 復調器とを備えることを特徴とする。

【0027】

【発明の実施の形態】以下、図面を参照して本実施形態による RAKE 受信回路を詳細に説明する。

【0028】図 1 を参照すると、本実施形態による RAKE 受信回路は、サーチフィンガ 1、DSP 2、拡散符号生成器 3、フィンガ受信回路 11~18、遅延回路 21~28、RAKE 合成器 4 を備える。フィンガ受信回路 11~18 は同一の構成をとるが、代表例としてのフィンガ受信回路 11 は、逆拡散器 100~104 と選択器 105 を備える。他のフィンガ受信回路 12~18 もフィンガ受信回路 11 と同様な構成をとる。

【0029】サーチフィンガ 1 は従来例と同様に DSS-CDMA 方式の受信信号を入力し図 3 に示す遅延プロファイルを出力する。

【0030】DSP 2 は、サーチエンジンとして機能し、図 3 に示す遅延プロファイルのピークタイミングを検出することにより各マルチパス成分の遅延時間を検出して、各遅延時間を表す信号を遅延回路 21~28 に出力する。拡散符号生成器 3 から出力された拡散符号は遅延回路 21~28 の各々で、DSP 2 が出力する各マルチパス成分の遅延時間を表す信号を基にその遅延時間だけ遅延され、フィンガ受信回路 11 に入力される。

【0031】フィンガ受信回路 11~18 の動作は同一であるが、フィンガ受信回路 11 を例にとる。逆拡散器 100~104 は互いに時間 T だけ異なる拡散符号で受信信号を復調する。すなわち、逆拡散器 100~104 の各々は、フィンガ受信回路 11 に入力されて時間を  $-2T$ 、 $-T$ 、 $0$ 、 $T$ 、 $2T$  だけタイミングをずらした拡散符号により受信信号を復調する。時間 T としては、例えば、 $1/4$  チップ時間が選択されるが、これに限定されるわけではない。また、1つのフィンガ受信回路内の逆拡散器の数は 5 つとしているが、これに限定されるわけではない。

【0032】選択器 105 は逆拡散器 100~104 の出力のうち最も受信品質の良い信号を選択する。受信品質の評価基準としては、希望波対干渉波の電力比率 (SIR (Signal to Interference Ratio)) などが使われる。

【0033】RAKE 合成器 4 は、従来例と同様に、フィンガ受信回路 11~18 の選択器 105 の出力の遅延時間を調整して、最大比合成して、復調信号を出力する。

【0034】次に、サーチフィンガ 1 の動作について、説明する。

【0035】サーチフィンガ 1 は拡散されたパイロットシンボルに対応する受信信号即ち拡散されたパイロット

シンボルにエラーが加算された信号と拡散されたパイロットシンボルのレプリカとの相互相関をレプリカ長の全範囲に求めることによって瞬時の遅延プロファイルを算出する。

【0036】例えば、

N = サーチ範囲

L = レプリカ長

$r_n$  = n 番目の受信信号

$p_i$  = i 番目のレプリカ信号 ( $i = 0, \dots, L-1$ )

10 とすると、タイミング n に対する遅延プロファイル  $R_n$  は

【0037】

【数 1】

$$R_n = I_n^2 + Q_n^2$$

但し、

【0038】

【数 2】

$$I_n + jQ_n = \sum_{i=0}^{L-1} (r_{n+i} + \text{conj}(p_i))$$

(conj は複素共役を表す。) で得られる。

【0039】次に、図 2 に示す逆拡散器 100~104 について説明する。

【0040】逆拡散器 100~104 に入力された拡散符号は遅延回路 200 により遅延される。遅延回路 200 の遅延時間は逆拡散器 100~104 の間で互いに異なり、逆拡散器 100 の遅延回路 200 の遅延時間はゼロ、逆拡散器 101 の遅延回路 200 の遅延時間は  $T/4$ 、逆拡散器 102 の遅延回路 200 の遅延時間は  $T/2$ 、逆拡散器 103 の遅延回路 200 の遅延時間は  $3T/4$ 、逆拡散器 104 の遅延回路 200 の遅延時間は  $T$  である。なお、フィンガ受信回路 11 の中央に位置する逆拡散器 102 の遅延回路 200 で遅延された拡散符号が DSP 2 で指定された時間だけ遅延されるように、拡散符号 3 が出力する拡散符号の位相を早めたり、或いは、遅延回路 21~28 の遅延時間を短く設定したりする。

【0041】受信信号は複素乗算器 201 で遅延回路 200 により遅延された拡散符号により逆拡散される。逆拡散された信号について、相関器 202 にて 1 シンボル毎の相関値が計算される。通信路推定器 204 は、特定のパターン信号のある部分の相関器 202 の出力をもとに複素数より成る通信路の特性を表すフェージングベクトルを推定する。乗算器 203 は、相関器 202 の出力に、複素共役作成器 205 で複素共役をとられた通信路特性推定器 204 の出力を乗じることにより同期検波信号を得る。

【0042】例えば、

50 N = パイロット長

$iPL(m) = m$  番目の受信信号

$ZiPL(m) =$  チャネル推定された  $m$  番目のフェージングベクトル

とすると、同期検波信号  $viPL(m)$  は

$$viPL(m) = iPL(m) \times \text{conj}(ZiPL(m))$$

で得られる。複素乗算器 201 と相関器 202 はハードウェアにより構成することができる。

【0043】なお、本実施形態ではフィンガ受信回路の数は 8 であるが、フィンガ受信回路の数に特に制約はない。同様にマルチパスの各成分の遅延時間の検出は DSP 2 が行っているが、ソフトウェアで高速に信号を処理を行えば、DSP 2 を汎用の CPU (Central Processing Unit) で代用してもよい。

【0044】なお、本実施形態では、移動局側である受信機を例にとり説明したが、本発明はこれに限られるものではなく、本実施形態を基地局に適用することも可能である。

【0045】

【発明の効果】以上説明したように、本発明によれば、同期捕捉や、DLL による同期保持では追従することができない各マルチパス成分の遅延時間の変化が使用環境によって生じて、各フィンガ受信回路が複数の逆拡散器を有し、これらのうちの何れかが瞬時の遅延時間に合致したタイミングでマルチパス成分を受信することができ、選択器が遅延時間に合致したタイミングでマルチパス成分を受信した逆拡散器の出力を選択するので、各フィンガ受信回路は良好にマルチパス成分を受信することができ、RAKE 合成器の出力においては、良好な希望波を受信することができる。

【0046】また、本発明によれば、フィンガ回路毎に

ループを形成する DLL が不要となるので、演算数が少なくてすみ、回路規模やを縮小することができる。

【0047】更に、本発明によれば、逆拡散器・相関器などチップレートに依存する高速性が要求される処理をハードウェアで高速に行うことができる。

【0048】更に、本発明によれば、マルチパスの各成分の遅延時間の検出を DSP や CPU を用いてソフトウェアにより行うので、検出のアルゴリズムを柔軟に変更したり最適化させたりすることができる。

#### 10 【図面の簡単な説明】

【図 1】本発明の実施形態による RAKE 受信回路の構成を示すブロック図である。

【図 2】図 1 の逆拡散器の構成を示すブロック図である。

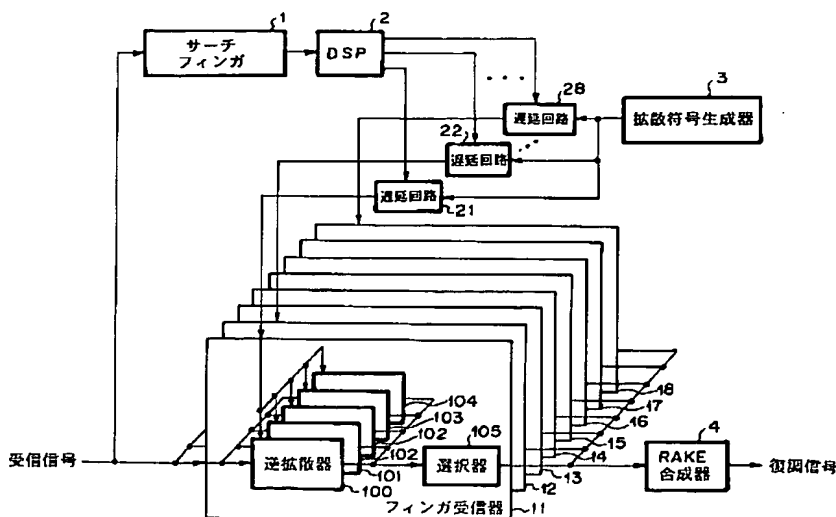
【図 3】サーチフィンガが出力する遅延プロファイルの図である。

【図 4】従来例による RAKE 受信回路を含む受信機の構成を示すブロック図である。

【符号の説明】

- 20 1 サーチフィンガ
- 2 DSP
- 3 拡散符号生成器
- 4 RAKE 合成器
- 11~18 フィンガ受信回路
- 21~28 遅延回路
- 100~104 逆拡散器
- 105 選択器
- 906 アンテナ
- 907 RF

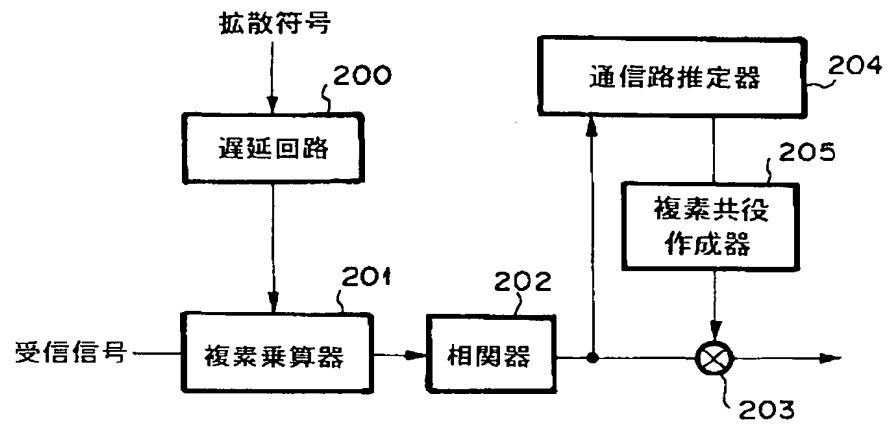
【図 1】



【図 3】



【図2】



【図4】

